

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 8 月 25 日 (25.08.2005)

PCT

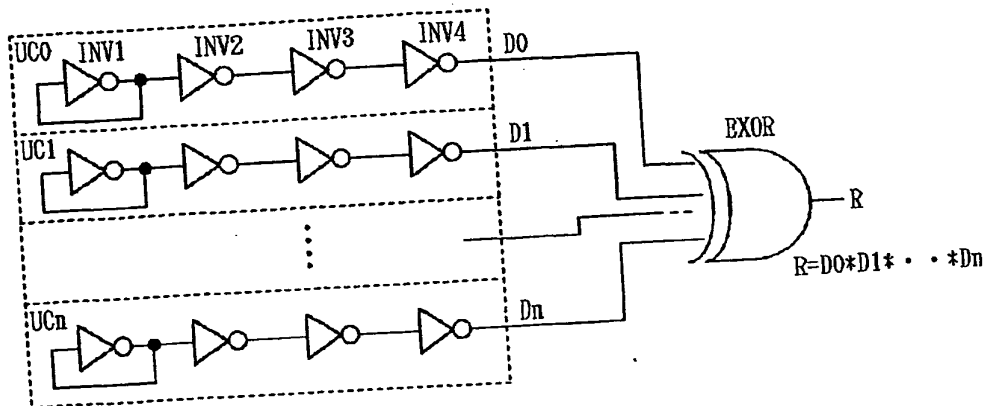
(10) 国際公開番号
WO 2005/078573 A1

- (51) 国際特許分類⁷: G06F 7/58 (74) 代理人: 徳若 光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭5丁目16番8号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/001486 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (22) 国際出願日: 2004 年 2 月 12 日 (12.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 村中 雅也 (MURANAKA, Masaya) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(続葉有)

(54) Title: RANDOM NUMBER GENERATING METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 乱数発生方法と半導体集積回路装置



(57) Abstract: A plurality of unit circuits each comprising first and second logic circuits formed into an identical shape through identical fabrication process, and an amplifier circuit for forming a binary signal by amplifying a noise being superposed on the differential voltage of threshold voltages of the first and second logic circuits, and a signal variation detecting circuit for forming an output signal in response to variation in any one of a plurality of binary signals being outputted from the plurality of unit circuits are provided and a random number is generated by combining a plurality of binary signals being outputted from the signal variation detecting circuit.

(57) 要約: 互いに同じ製造過程をもって同一の形態として形成された第1及び第2論理回路と、上記第1論理回路及び第2論理回路のしきい値電圧の差電圧に重畳される雑音を増幅して2値信号を形成する増幅回路とからなる単位回路の複数個と、上記複数個の単位回路から出力される複数個からなる2値信号のうちのいずれか1つの信号変化にตอบสนองして出力信号を形成する信号変化検出回路とを備え、上記信号変化検出回路から出力される2値信号の複数個を組み合わせる乱数を生成する。

WO 2005/078573 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。